**به نام خدا**

****

**گزارشکار دستورکار شماره 4**

**ارائه دهندگان:**

**زهره ابوعلی شمشیری**

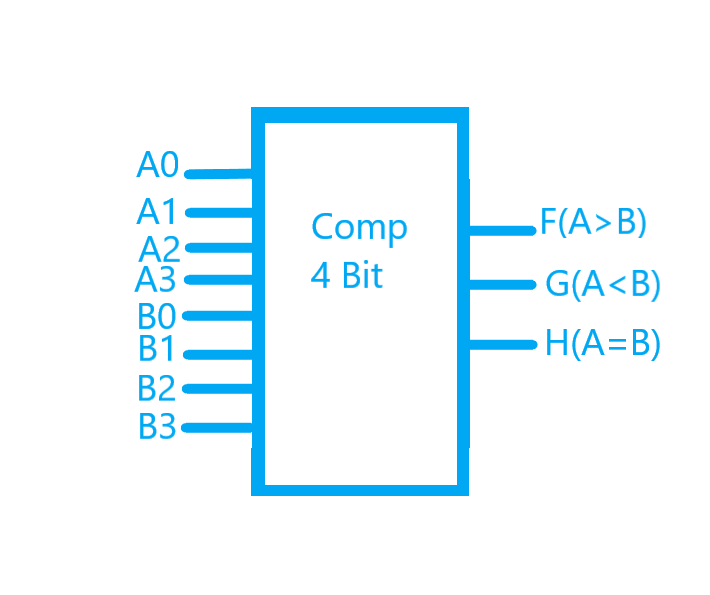
**امین چیت سازان**

**نام استاد: مهندس سید مجتبی موسوی**

**اردیبهشت 1402**

آزمایش اول : مدار مقایسه گر

مداری است که دو عدد A و B را مقایسه می کند و شامل 3 پورت خروجی FوGوH برای تعیین عدد بزرگ تر است.اگر A از Bبزرگ تر باشد مقدار F برابر یک و Gو H صفر میشوندو اگر A و B برابر باشند،G برابر یک و Fو H برابر صفر میشوند. اگر A از B کوچک تر باشد،G برابر یک و FوH برابر صفر می شوند.



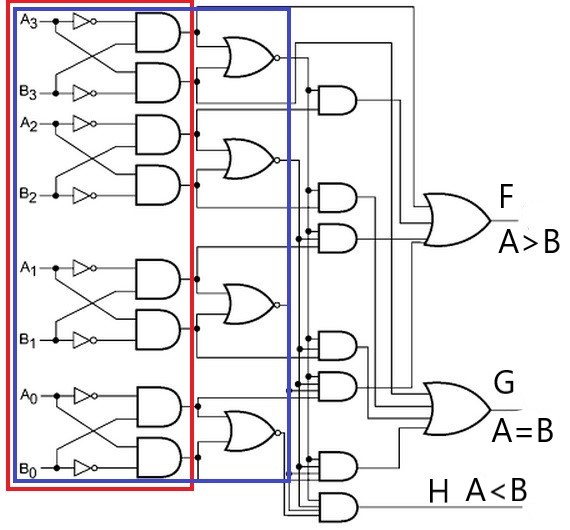
**تصویر 1 - شماتیک مقایسه گر(دو عدد 4 بیتی)**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **H** | **G** | **F** | **B** | **A** |
| 0 | **1** | **0** | **0** | **0** |
| 1 | **0** | **0** | **1** | **0** |
| 0 | **0** | **1** | **0** | **1** |
| 0 | **1** | **0** | **1** | **1** |

**جدول 1 – جدول درستی مدار مقایسه گر(دو عدد تک بیتی)**

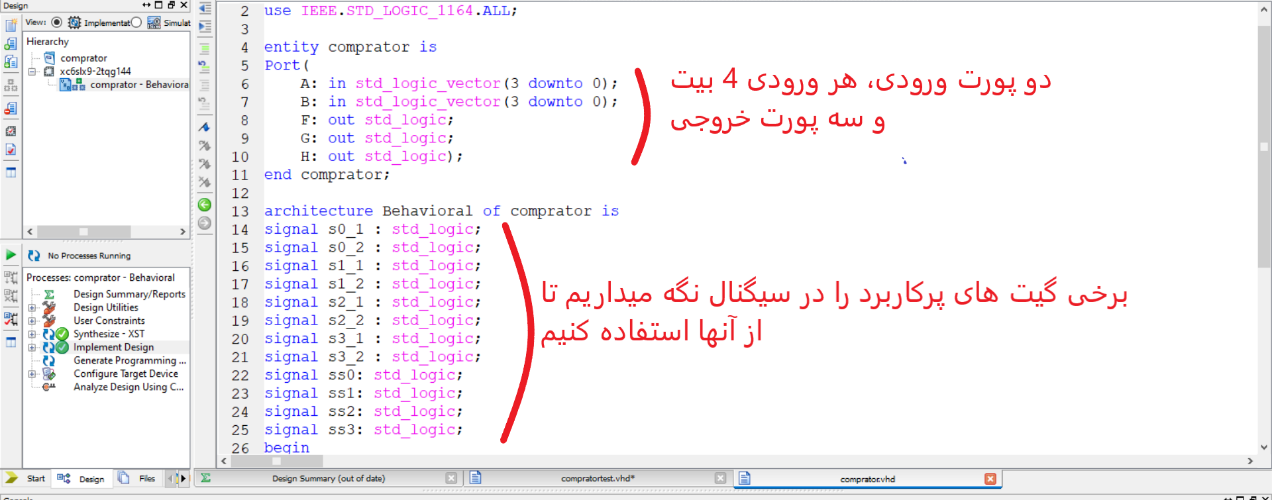
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **H** | **G** | **F** | **B** | **A** |
| 0 | **0** | **1** | **1011** | **1100** |
| 1 | **0** | **0** | **0101** | **0100** |
| 0 | **1** | **0** | **0011** | **0011** |

***جدول 2 – جدول درستی مدار مقایسه گر(دو عدد چهار بیتی)***

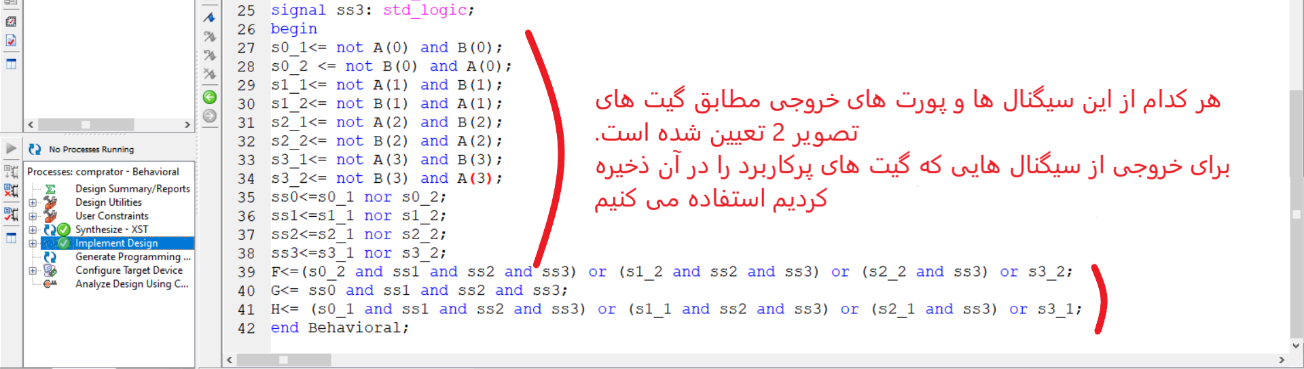


**تصویر 2 – شماتیک مقایسه گر دو عدد 4 بیتی با گیت های منطقی**

**کد VHDL مقایسه گر:** این مدار دو ورودی 4 بیتی دارد و برای سادگی کار و استفاده راحت تر از این مدار در آزمایش های بعد پورت های ورودی را به صورت std\_logic\_vector با سایز 4 تعریف میکنیم. در این مدار گیت های پرکاربرد و تکراری زیادی داریم (تصویر 2) به همین دلیل این گیت ها را در یک سیگنال نگه میداریم تا از آنها در کد اصلی استفاده کنیم و کد تمیز تری داشته باشیم.گیت های بخش قرمز که برای هر بیت از دو ورودی هستند را در 4 سیگنال s0\_1و s0\_2 و...وs3\_2 می گذاریم و گیت های بخش آبی را در سیگنال های ss0 و ss1 و ss2 و ss3 می گذاریم.(تصویر 2 و 3 و 4)

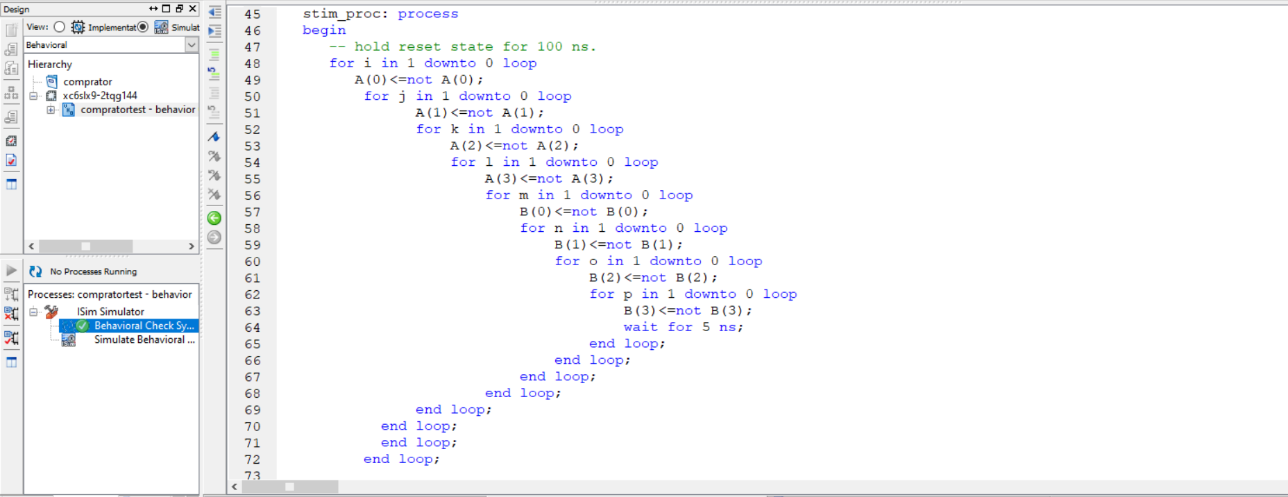


**تصویر 3 - کد VHDL مقایسه گر بخش اول**

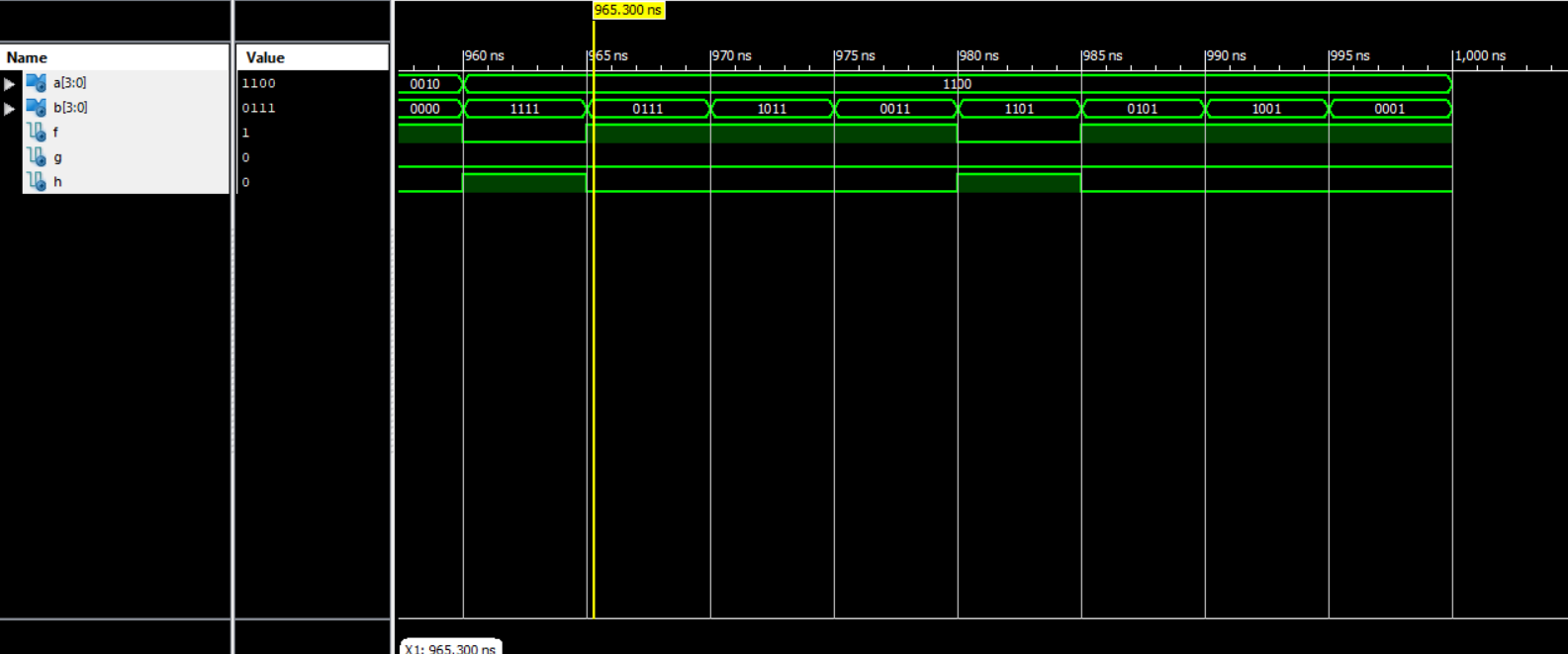


**تصویر 4 - کد VHDL مقایسه گر بخش دوم**

**کد تست بنچ مقایسه گر:** با استفاده از حلقه های تو در تو و نقیض کردن بیت های ورودی حالات ممکن را بررسی میکنیم و یک تاخیر 5 نانوثانیه بین هر تست کیس(حالت) می گذاریم.



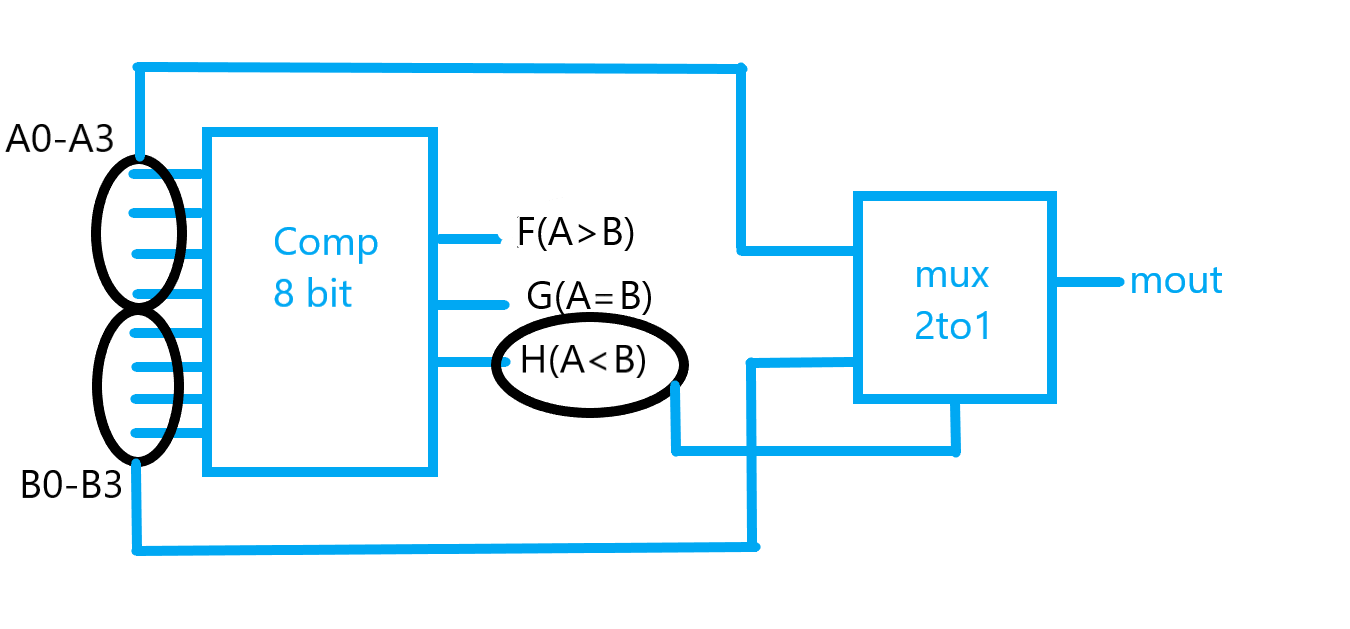
**تصویر 5 - کد تست بنچ مقایسه گر**



**تصویر 6 - شبیه سازی مقایسه گر دو عدد 4 بیتی با استفاده از کد تست بنچ و اجرای تست کیس های متفاوت**

آزمایش دوم : مدار معرف عدد بزرگ تر

این مدار دو عدد را با هم مقایسه می کند و با استفاده از یک مالتی پلکسر دو به یک که خط انتخاب آن F یا G در مدار مقایسه گر است عدد بزرگ تر را در خروجی نمایش می دهد.



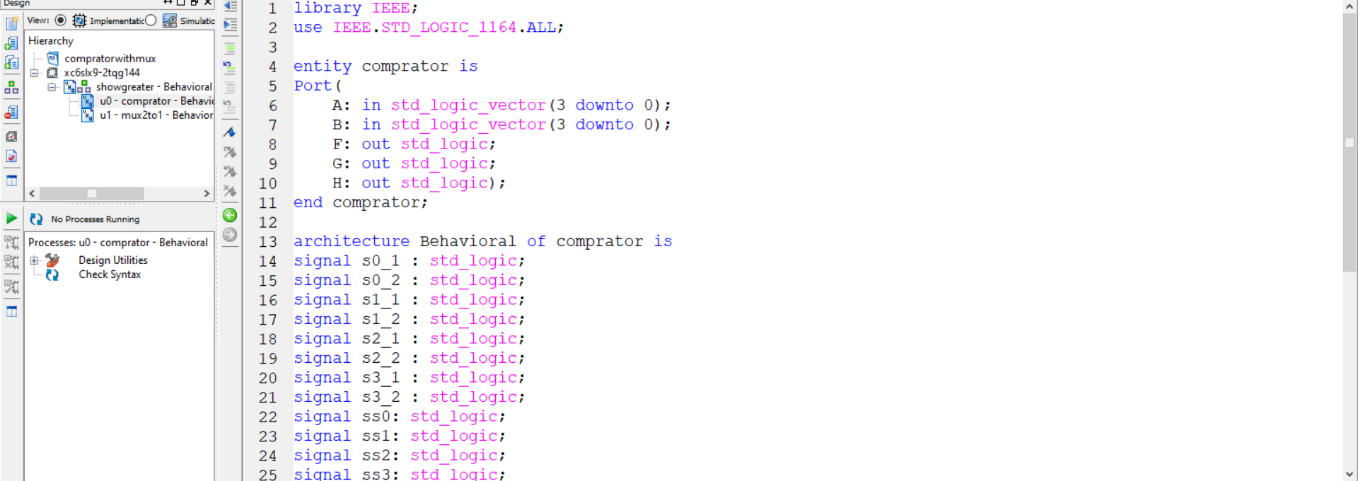
**تصویر 7 – شماتیک مدار معرف بزرگ تر**

|  |  |  |
| --- | --- | --- |
| **C** | **B** | **A** |
| 1100 | **1011** | **1100** |
| 0101 | **0101** | **0100** |
| 0011 | **0011** | **0011** |

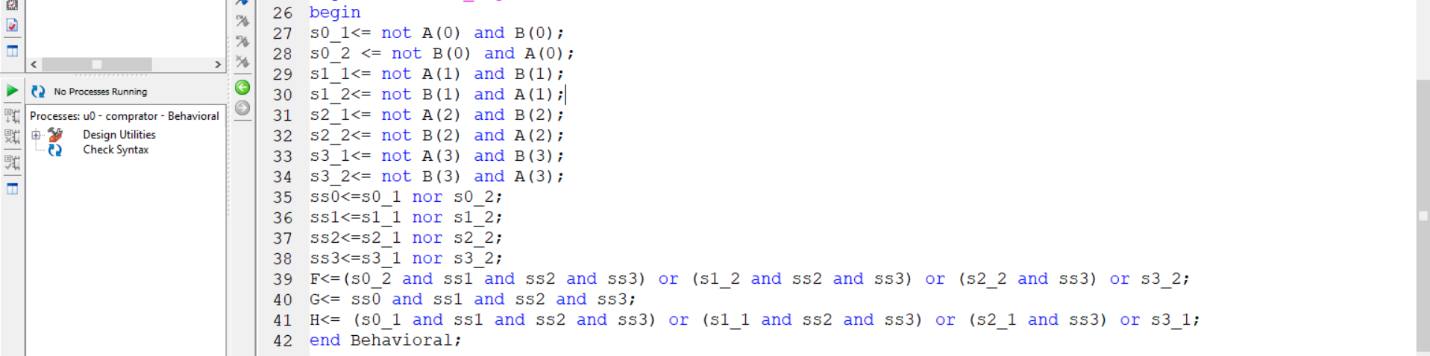
**جدول 3 – جدول درستی مدار معرف عدد بزرگ تر**

**کد VHDL مدار معرف عدد بزرگ تر:**

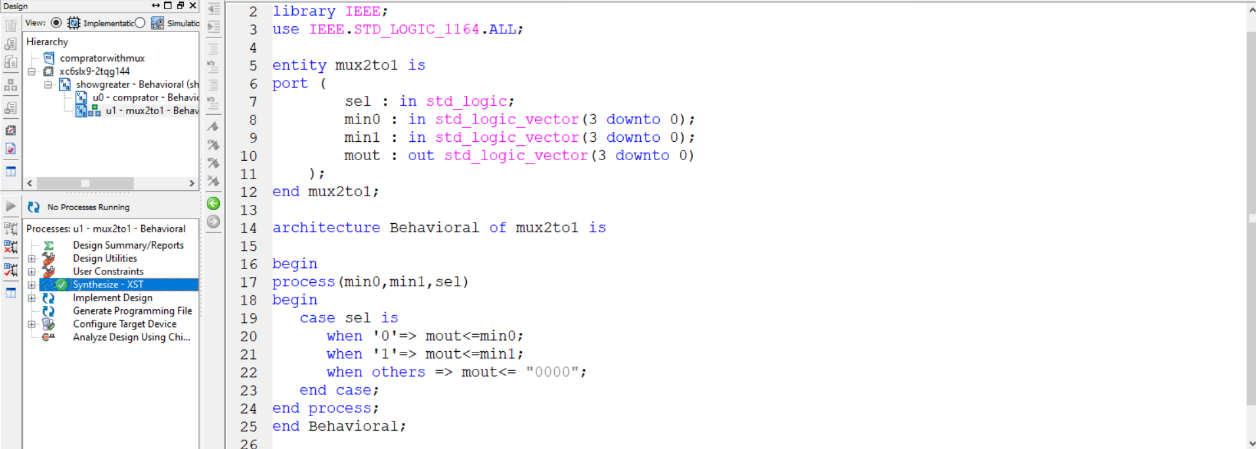
کد این آزمایش شامل سه ماژول است.ماژول اول مقایسه گر(comprator) است که از کد آزمایش قبل استفاده می کنیم.(تصویر 8 و9) سپس یک ماژول جدید ایجاد می کنیم(mux2to1) و مالتی پلکسر 2 به 1 که ورودی های آن دو عدد 4 بیتی AوB که ورودی های مدار مقایسه گر نیز هستند را در آن پیاده سازی می کنیم(تصویر10).در ماژول سوم(showgreater)،ماژول اول(مقایسه گر) را پورت مپ می کنیم و ورودی های AوB را برای مقایسه به آن میدهیم و خروجی های FوGوH را دریافت میکنیم سپس ماژول دوم(مالتی پلکسر) را پورت مپ می کنیم و دو عدد 4 بیتی را به عنوان ورودی و خط انتخاب که مقدار آن H می باشد را به آن می دهیم. اگر H صفر باشد یعنی A از B بزرگ تر است(F=1) و A در خروجی نمایش داده می شود و اگر H یک باشد یعنی A از B کوچک تر است و B در خروجی نمایش داده می شود.بنابراین سیگنال H را به عنوان خط انتخاب مالتی پلکسر انتخاب می کنیم زیرا عدد بزرگ تر را به ما نشان می دهد.



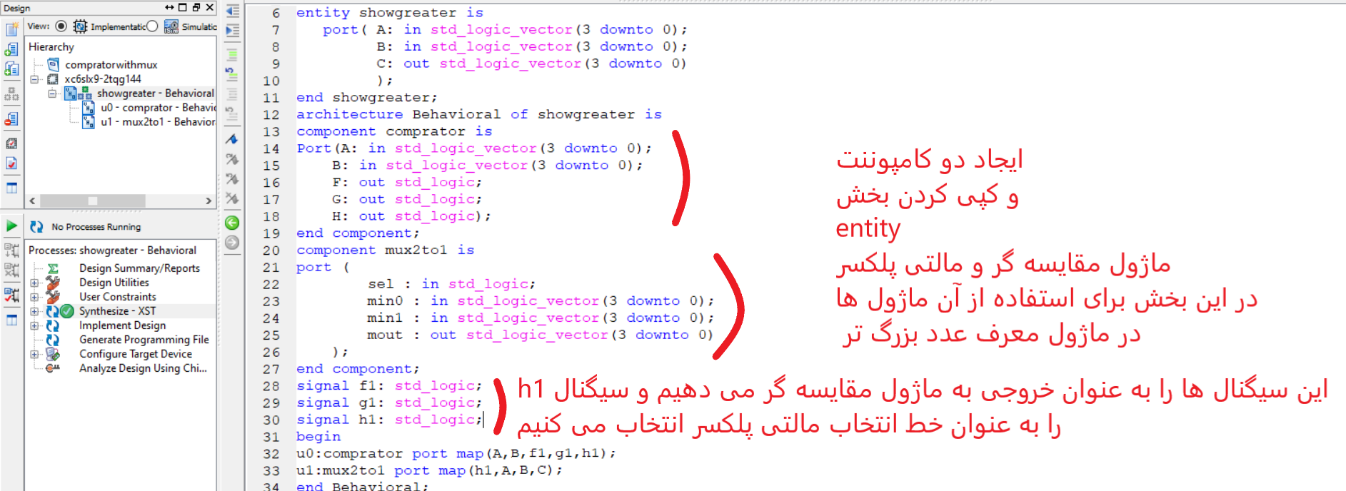
**تصویر 8 – کد VHDL مقایسه گر دو عدد 4 بیتی بخش اول**



**تصویر 9 - کد VHDL مقایسه گر دو عدد 4 بیتی بخش دوم**



**تصویر 10 - کد VHDL مالتی پلکسر 2 به 1**



**تصویر 11 - کد VHDL مدار معرف عدد بزرگ تر**

**کد تست بنچ مدار معرف عدد بزرگ تر:**

هنگام ساخت فایل تست بنچ فایل showgreater را به عنوان سورس اصلی انتخاب می کنیم.

مانند آزمایش قبل با حلقه های تو در تو و نقیض کردن بیت های ورودی حالات مختلف را بررسی میکنیم.(تصویر 12)



**تصویر 12 - کد تست بنچ مدار معرف عدد بزرگ تر**



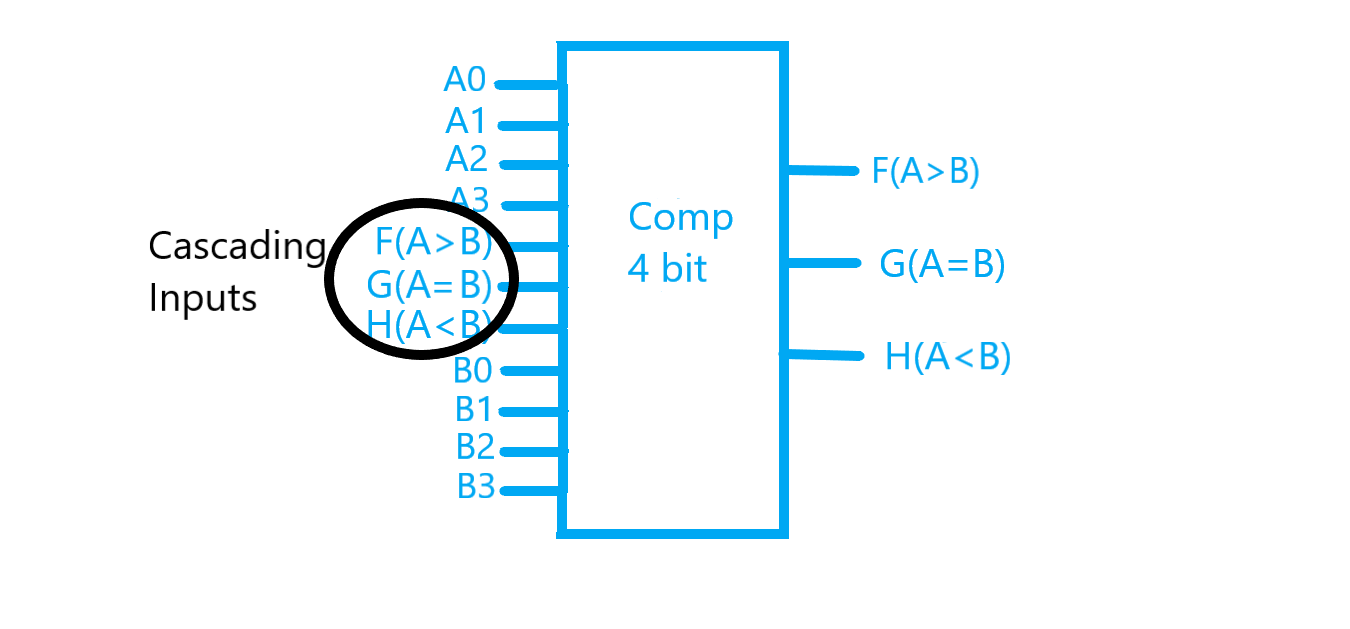
**تصویر 13 - شبیه سازی مدار معرف عدد بزرگ تر با استفاده از کد تست بنچ و اجرای تست کیس های متفاوت**

پاسخ به سوالات:

1) مقایسه گر 4 بیتی قابل توسعه:

پیاده سازی آن مانند آزمایش اول است با این تفاوت که برای تعمیم این مدار به مقایسه گر 8 بیتی پورت های FوGوH (Cascading Inputs) را به ورودی اضافه می کنیم.همچنین اگر ورودی پورت G یک باشد،مقایسه گر فعال می شود. به این دلیل که برای مثال در اعداد 8 بیت اگر 4 بیت اول را مقایسه کنیم و 4 بیت اول هر عددی که بزرگ تر باشد آن عدد نیز بزرگ تر است و نیازی به بررسی 4 بیت باقی مانده نیست.

به A0 و B0کم ارزش ترین بیت A و B(Lsb) می گویند و به A7 وB7 با ارزش ترین بیت A(Msb) می گویند.



**تصویر 13 - شماتیک مقایسه گر 4 بیتی قابل توسعه**

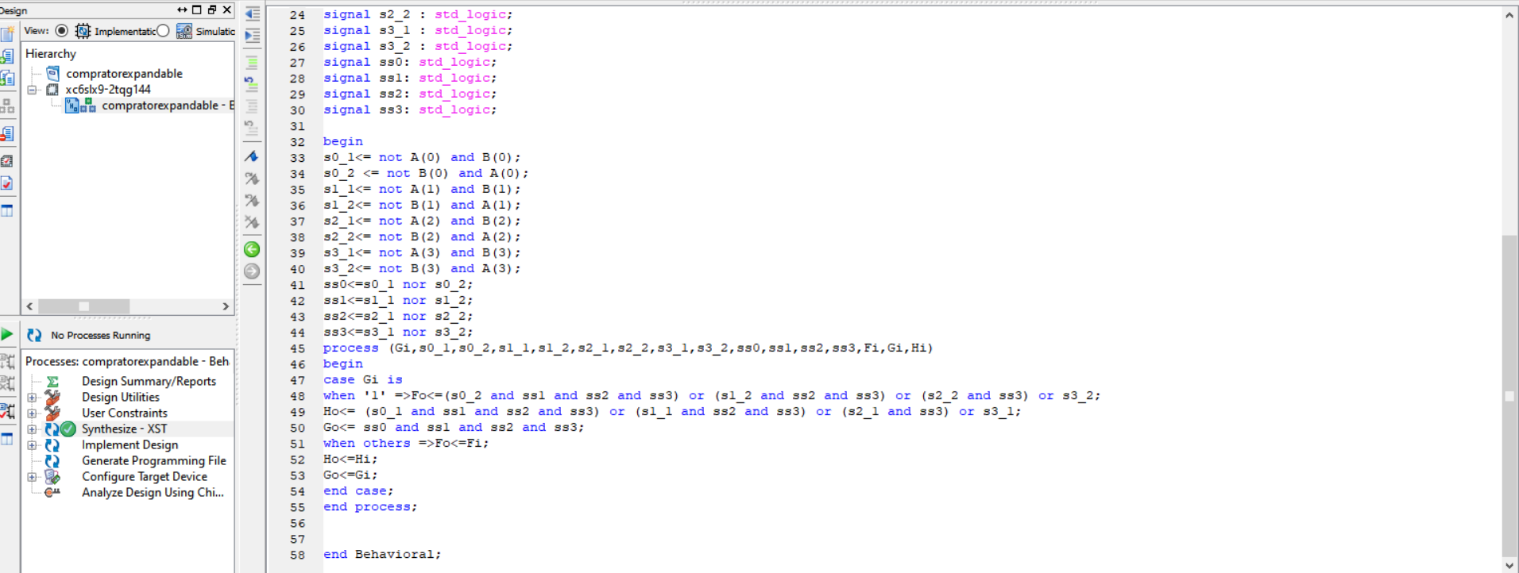
**کد VHDL مقایسه گر 4 بیتی قابل توسعه:**

کد این بخش مانند آزمایش 1 است با این تفاوت که پورت ورودی FiوGiوHi برای عملیات Cascade(بررسی بیت های بیشتر)و بخش Case برای بررسی عملیات مقایسه اضافه شده اند.(تصاویر 14 و 15)



**تصویر 14- کد VHDL مدار مقایسه گر قابل توسعه بخش اول**

در کد این ماژول GiوFiوHi و تمامی سیگنال هایی که گیت های منطقی پرکاربرد دارند را در لیست حساسیت پروسه می گذاریم و اگر Gi برابر یک بود عملیات مقایسه انجام می شود در غیر اینصورت مقادیر پورت های خروجی برابر Giو Fi و Hi خواهند بود.(تصویر 15)



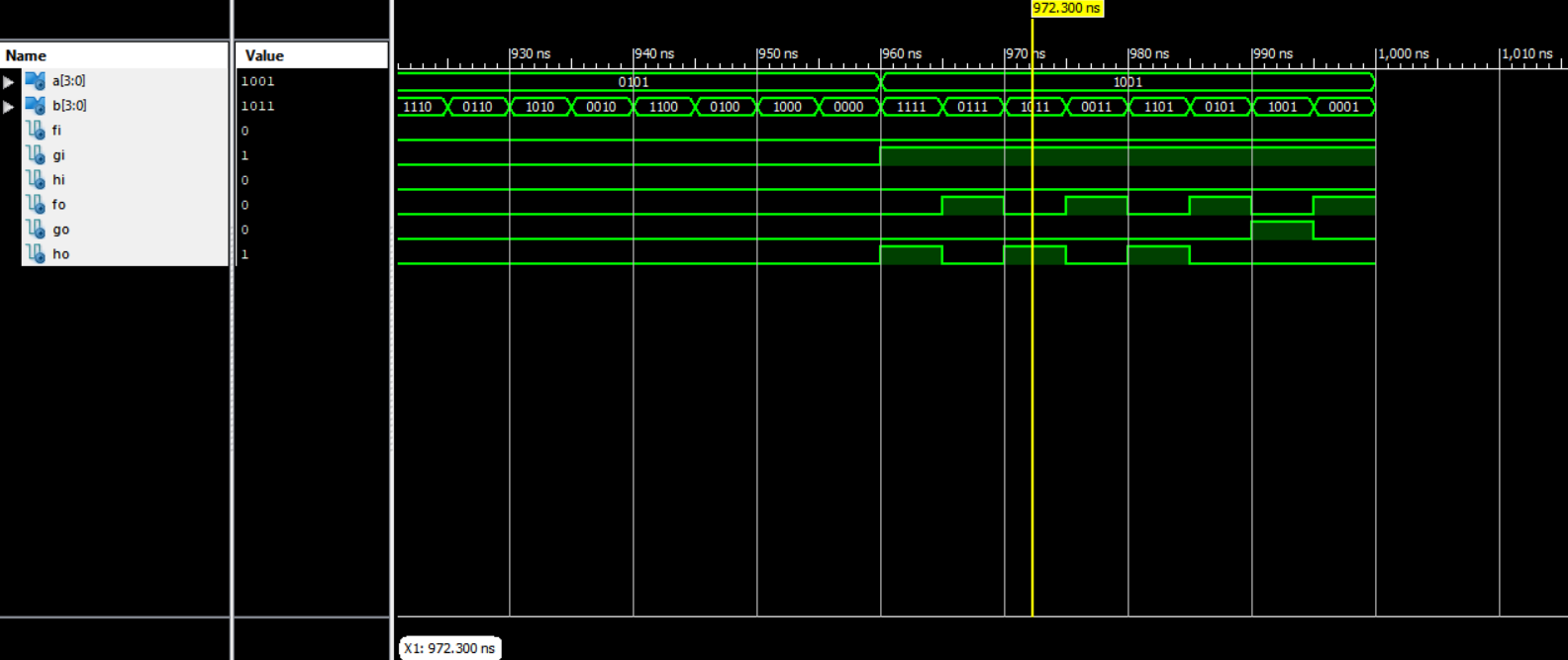
**تصویر 15 - کد VHDL مدار مقایسه گر قابل توسعه بخش دوم**

**کد تست بنچ مقایسه گر 4 بیتی قابل توسعه:**

مانند آزمایش های قبلی با حلقه های تو در تو و نقیض کردن مقادیر پورت های ورودی حالت های مختلف را بررسی می کنیم.



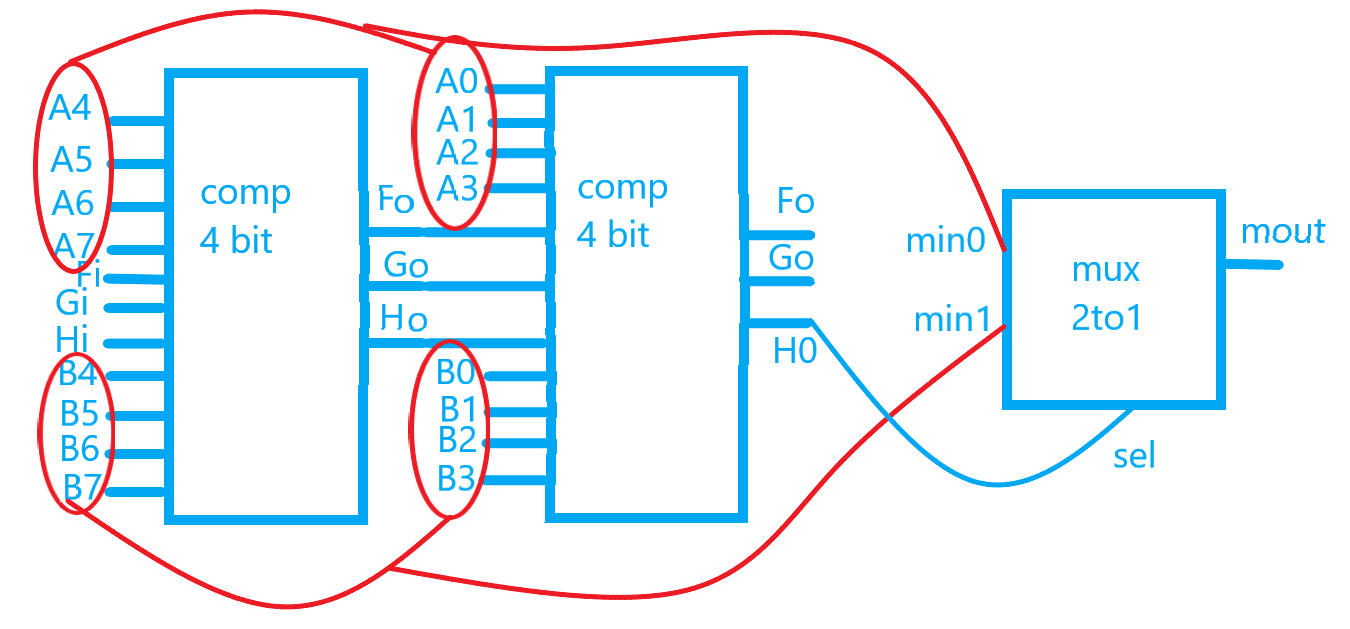
**تصویر 16 - کد تست بنچ مقایسه گر 4 بیتی قابل توسعه**



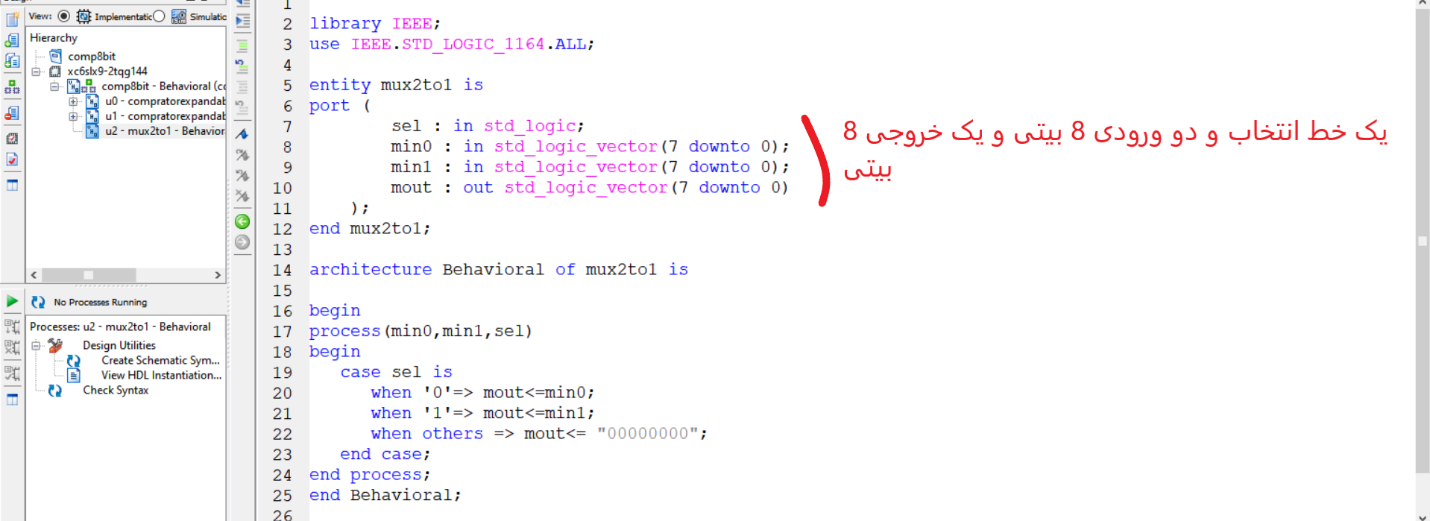
**تصویر 17 - شبیه سازی مدار مقایسه گر4 بیتی قابل توسعه با استفاده از کد تست بنچ و اجرای تست کیس های متفاوت**

2) مقایسه گر 8 بیتی(نمایش عدد بزرگ تر):

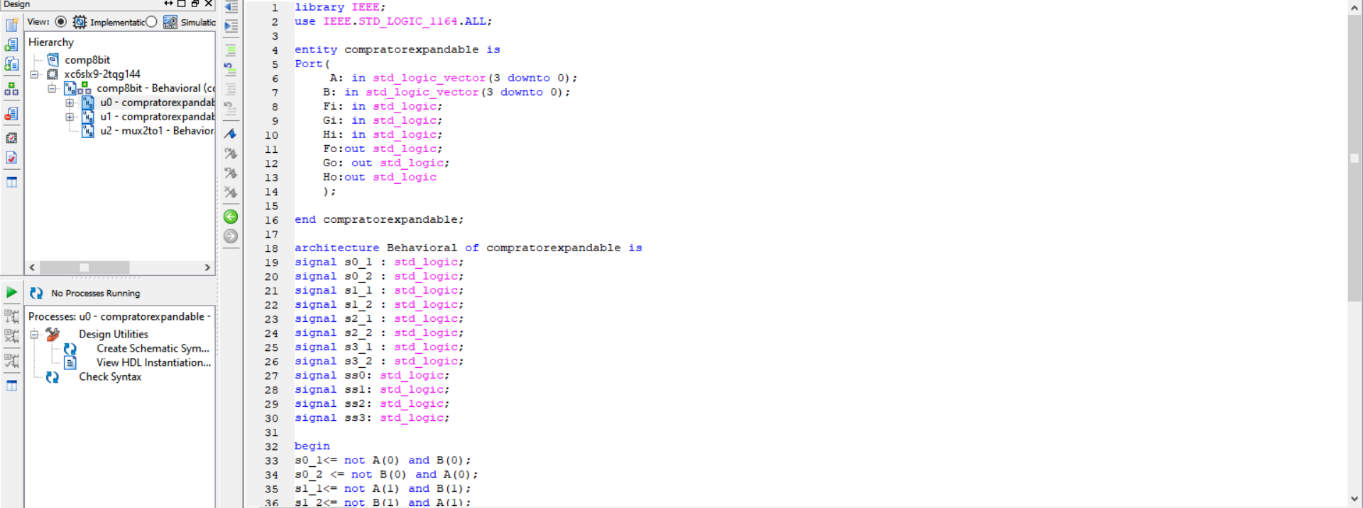
این مقایسه گر از دو مقایسه گر 4 بیتی و یک مالتی پلکسر 2 به 1 تشکیل می شود. در این ماژول 4 بیت پر ارزش هر دو عدد با هم مقایسه می شوند و هر کدام که بزرگ تر بود Gi برابر صفر می شود در نتیجه در ماژول بعدی مقایسه صورت نمیگیرد و همان خروجی های مقایسه گر اول به مقایسه گر دوم نیز منتقل می شوند اما اگر دو عدد برابر بودند در نتیجه Gi برابر یک می شود و در مقایسه گر بعدی نیز مقایسه بین 4 بیت کم ارزش دو عدد صورت می گیرد و خروجی Ho به عنوان خط سلکت مالتی پلکسر انتخاب شده و عدد بزرگ تر را در خروجی نمایش می دهد.



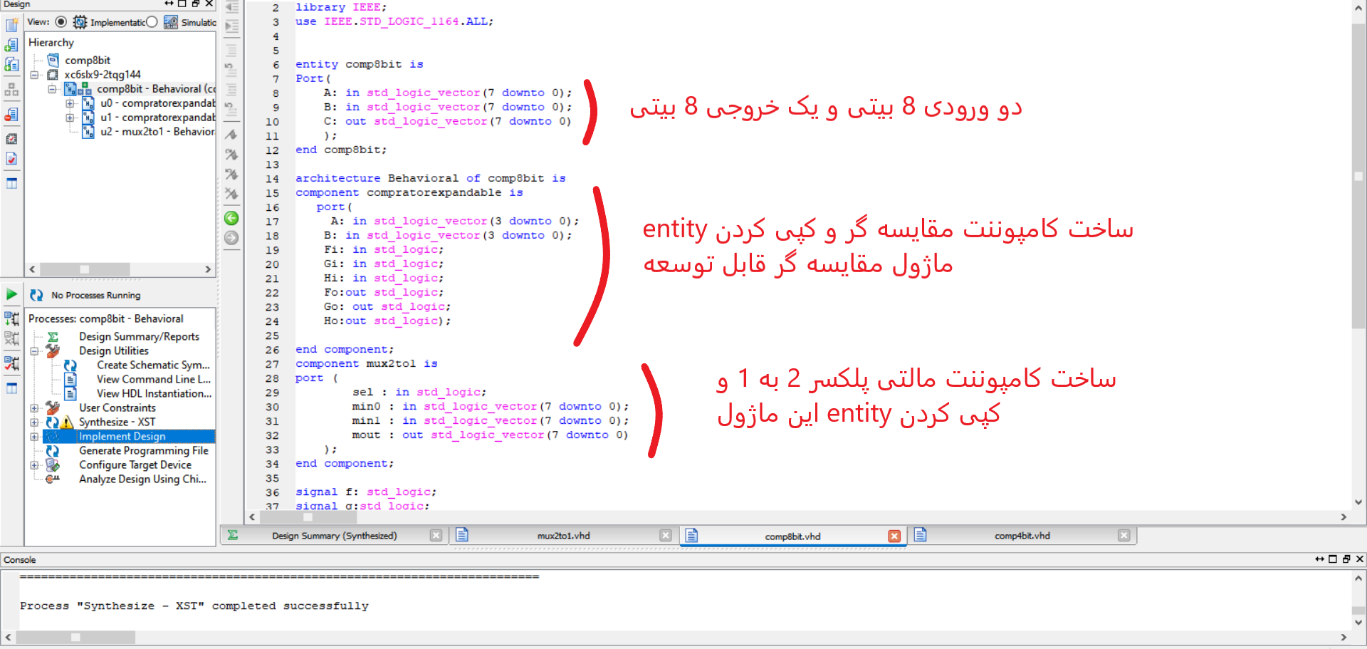
**تصویر 17 - شماتیک مقایسه گر 8 بیتی**



**تصویر 18 - کد VHDL مالتی پلکسر 2 به 1**

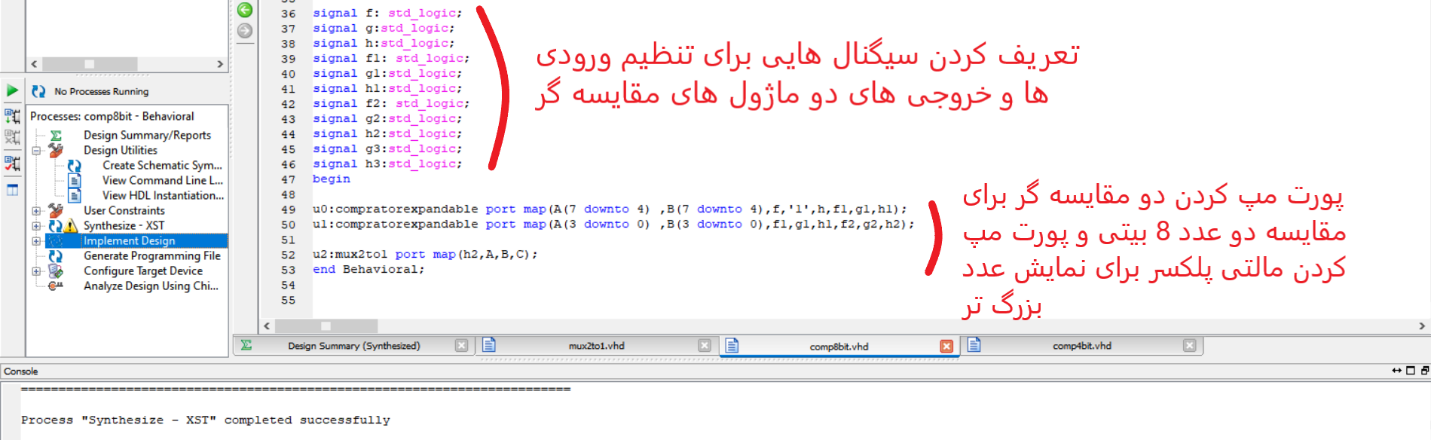


**تصویر 19 - کد VHDL مقایسه گر 4 بیتی قابل توسعه**



**تصویر 20 - کد مقایسه گر 8 بیتی(نمایش عدد بزرگ تر) بخش اول**

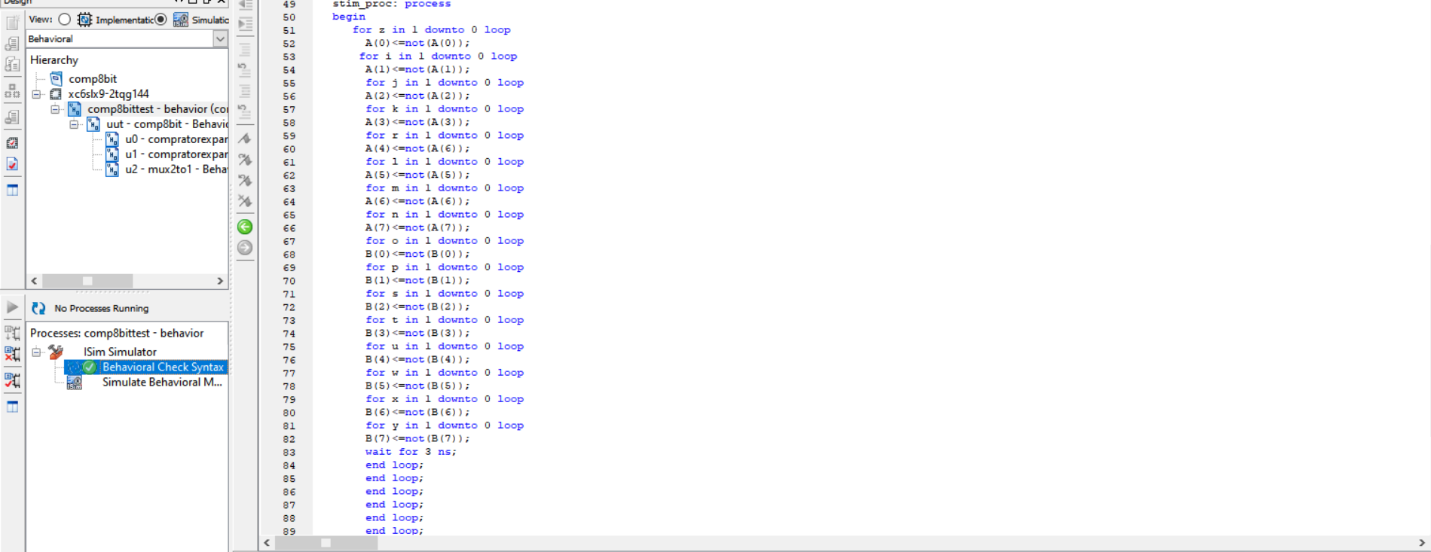
هنگام پورت مپ کردن اولین مدار مقایسه گر مقدار یک منطقی را به Gi میدهیم تا 4 بیت پر ارزش هر دو عدد با هم مقایسه شوند زیرا شرط انجام عمل مقایسه برابر بودن Gi با یک است. در بار دوم پورت مپ کردن خروجی های FوGوH را از مدار قبلی به این مدار انتقال می دهیم و در صورت برابر نبودن Gi با صفر(برابر نبودن دو عدد) همان مقادیر خروجی مدار قبلی به خروجی این مدار نیز منتقل خواهند شد.



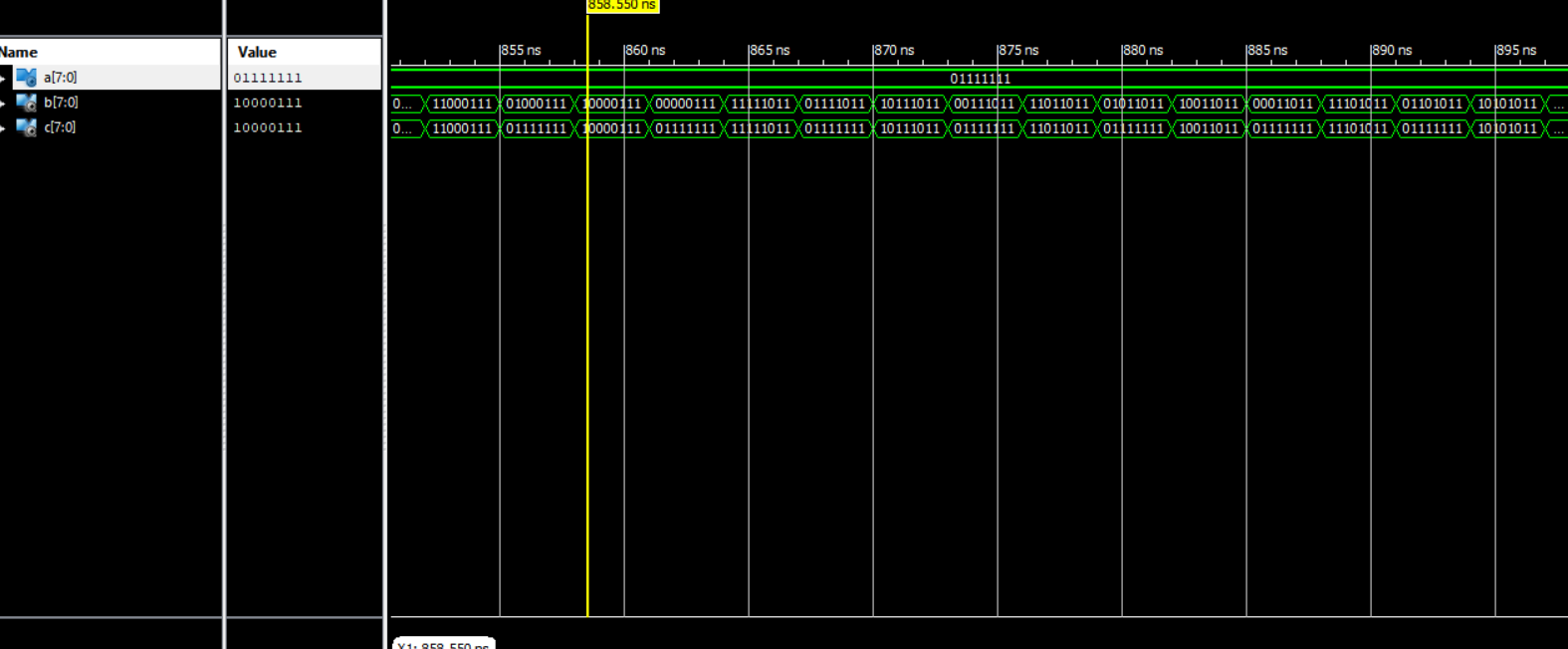
**تصویر 21 - کد VHDL مقایسه گر 8 بیتی(نمایش عدد بزرگ تر) بخش دوم**

**کد تست بنچ مقایسه گر 8 بیتی(نمایش عدد بزرگ تر):**

مانند ماژول های قبلی با حلقه های تو در تو و نقیض کردن مقادیر پورت های ورودی حالت های مختلف را بررسی می کنیم.



**تصویر 22 - کد تست بنچ مقایسه گر 8 بیتی(نمایش عدد بزرگ تر)**



**تصویر 23 - شبیه سازی مدار مقایسه گر8 بیتی (نمایش عدد بزرگ تر)با استفاده از کد تست بنچ و اجرای تست کیس های متفاوت**